

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-117355
 (43)Date of publication of application : 28.05.1987

(51)Int.Cl.

H01L 23/48

(21)Application number : 60-258135 (71)Applicant : FUJI ELECTRIC CO LTD
 (22)Date of filing : 18.11.1985 (72)Inventor : KOMATSU YUKITETSU
 HIROHASHI OSAMU
 SHIGETA YOSHIHIRO

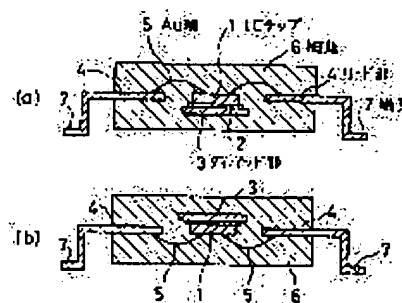
(54) MANUFACTURE OF INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To obtain ICs, which have the same external shape and terminal arrangement thereof forms a pair of reflection symmetry, by casting a resin, separating a connecting section for a lead frame, bending the end section of a lead section in either direction to the surface of the lead section and shaping a terminal.

CONSTITUTION: An IC chip 1 is fixed to a die pad section 3 for a lead frame, and electrodes for the chip 1 and lead sections 4 for the lead frame are connected through wire bonding. The lead sections 4 are fastened to a molding die so as to be projected to the center in the thickness direction of a resin body, and a resin is casted.

The leads are formed, but the end sections of the lead sections 4 are bent to the side reverse to a semiconductor mounting surface for the lead frame and terminals 7 are shaped in one lead sections while the end sections of the lead sections 4 are bent in the opposite direction in the other lead sections. Consequently, the two molded shapes take a reflection shape. Accordingly, when the two ICs are paired and disposed, terminals having the same terminal number are faced oppositely, thus facilitating connections to the same wiring conductor, then eliminating the possibility of defective wirings.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭62-117355

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)5月28日

H 01 L 23/48

7735-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 集積回路の製造方法

⑯ 特 願 昭60-258135

⑰ 出 願 昭60(1985)11月18日

⑱ 発明者	小 松 幸 哲	川崎市川崎区田辺新田1番1号	富士電機株式会社内
⑱ 発明者	広 橋 修	川崎市川崎区田辺新田1番1号	富士電機株式会社内
⑱ 発明者	重 田 善 弘	川崎市川崎区田辺新田1番1号	富士電機株式会社内
⑲ 出 願 人	富士電機株式会社	川崎市川崎区田辺新田1番1号	
⑳ 代 理 人	弁理士 山 口 巖		

明 細 書

1. 発明の名称 集積回路の製造方法

2. 特許請求の範囲

1) 同一回路構成で鏡映対称の端子配列を有して対をなす集積回路の製造方法であって、半導体チップの電極をリードフレームのリード部と接続し、次いでリード部が型面に平行に型の空洞の中央に位置するようにリードフレームを固定して樹脂を注型したのち、リードフレームの連結部を切離し、最後に樹脂より露出したリード部の端部を樹脂に被覆されたリード部の面に対していずれかの方向に曲げて端子を形成することを特徴とする集積回路の製造方法。

3. 発明の詳細な説明

【発明の属する技術分野】

一つの配線基板上に固定され、同一端子を同一配線導体に接続するために鏡映対称の端子配列を有する同一回路構成の対をなす集積回路の製造方法に関する。

【従来技術とその問題点】

電子装置を構成するため多数の集積回路を配線基板上に搭載する場合、集積回路を数列に並べて配列することが基板面積の小形化のために行われる。その場合、同一回路構成の集積回路の同一端子を同一配線導体に接続するためには鏡映対称の端子配列を有することが有利なことは明らかである。しかし、そのような対をなす集積回路を得るためには、鏡映対称の2種類の半導体チップが必要であり、鏡映対称のマスクを準備して別個の工程で2種類の集積回路を製造しなければならなかった。そのためこのような集積回路の製造原価の上昇を免れることができなかった。

【発明の目的】

本発明は、上述の問題を解決して同一回路構成で鏡映対称の端子配列を有して対をなす集積回路を共通の半導体チップを用いて製造する方法を提供することを目的とする。

【発明の要点】

本発明によれば、半導体チップの電極をリードフレームのリード部と接続し、次いでリード部が

型面に平行に型の空洞の中央に位置するようにリードフレームを固定して樹脂を注型したのち、リードフレームの連結部を切り離し、最後に樹脂より露出したリード部の端部を樹脂に被覆されたリード部の面に対していずれかの方向に曲げて端子を形成することにより、リードフォーミングの方向により鏡映対称の端子配列を有する対をなす集積回路を得ることができ、上述の目的が達成される。

【発明の実施例】

第1図は本発明の一実施例により製造された一対のフラットパッケージ集積回路の断面図である。いずれもICチップ1を接着剤2によりリードフレームのダイパッド部3に固着し、ICチップの電極とリードフレームのリード部4とを金線5のワイヤボンディングにより接続する。次いでリード部4が樹脂体の厚さ方向の中央の突出するようにモールド型に固定し、樹脂を注型する。このあとリードフォーミングを行うが、第1図向に示すものは、第2図に示した従来の集積回路と同様に

- 3 -

リード部4の端部をリードフレームの半導体実装面と逆の側に直角に曲げて端子7を形成したのに対し、第1図向に示すものはリード部4の端部が反対方向に曲げられている。この結果第3図に示したような外観を有し、4辺に端子7を有する集積回路における端子配列は、第4図に端子番号1～44で示したように、第4図向に示したものと第4図向に示したものと鏡映対称になっている。従ってこの両方の集積回路を対にして並べれば同一端子番号の端子が向かい合うことになり、同一配線導体への接続が容易で誤配線の虞がなくなる。

【発明の効果】

本発明は、樹脂封止時のリードフレームのリード部の固定位置を樹脂体の厚さ方向の中央になるようにして、リードフォーミングの方向を変えるのみで同一の外形で端子配列が鏡映対称の対をなす集積回路を得ることができ、2種類のマスクを用いた2種類のウエーハプロセスを必要とすることなく、同一ウエーハから製造できるので、製造原価を低下させることができ、得られる効果は極

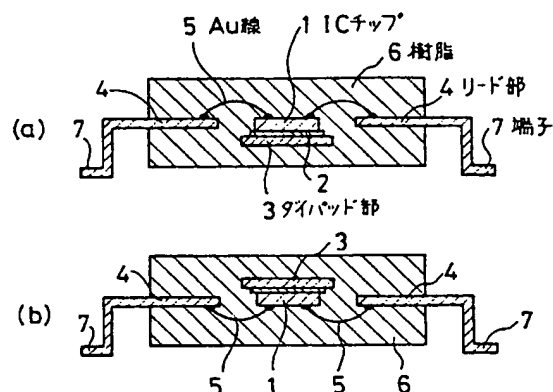
- 4 -

めて大きい。

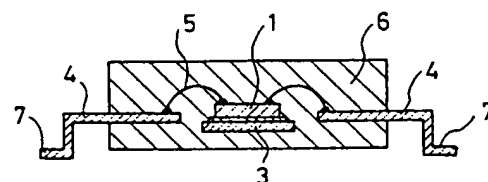
4. 図面の簡単な説明

第1図は本発明の一実施例による一対の集積回路の断面図、第2図は従来の集積回路の断面図、第3図は本発明により製造される集積回路の外観の一例を示す斜視図、第4図は本発明の一実施例による一対の集積回路の端子配列を示す平面図である。

1 : ICチップ、3 : ダイパッド部、4 : リード部、5 : Au線、6 : 樹脂、7 : 端子。



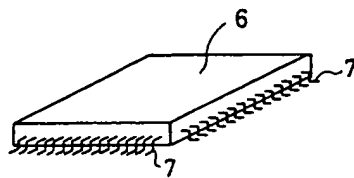
第1図



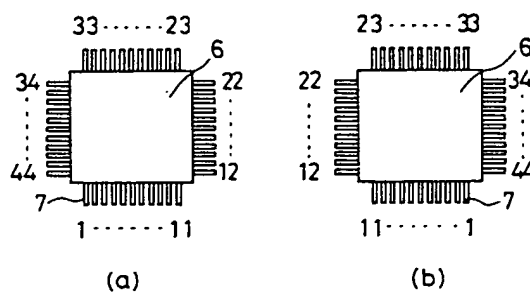
第2図

代理人弁護士 山口





第 3 図



第 4 図